

微少電力多値論理回路とその応用に関する研究

| | |
|-----|---|
| 著者 | 瑞慶覧 長定 |
| 号 | 830 |
| 発行年 | 1985 |
| URL | http://hdl.handle.net/10097/11779 |

氏 名 ず け らん ちよう てい
瑞 慶 覧 長 定

授 与 学 位 工 学 博 士

学位授与年月日 昭和 61 年 3 月 12 日

学位授与の根拠法規 学位規則第 5 条第 2 項

最 終 学 歴 昭和 39 年 3 月

琉球大学農家政工学部電気工学科卒業

学 位 論 文 題 目 微少電力多値論理回路とその応用に関する研究

論 文 審 査 委 員 東北大学教授 樋口 龍雄 東北大学教授 松尾 正之

東北大学教授 高木 相 東北大学助教授 亀山 充隆

論 文 内 容 要 旨

第 1 章 緒 言

近年、VLSI の高密度化に伴い、多値論理回路が見直されるようになってきた。それは、多値論理においては、1 線当りの情報量が 2 値論理に比べて大きいことから、(1)集積回路のピン引き出し線や配線数の軽減、(2)記憶回路の高密度化、(3)演算回路の高速化、(4)情報伝送の高速化などがはかれるからである。特に、VLSI においては、配線及びピン引き出しのための面積が全体の 70 % 以上を占めるといわれていることから、多値論理回路は、VLSI の高密度化に有効な手段となりつつある。また、VLSI においては、高密度化に伴い、発熱の問題が重要となり、回路の低消費電力化が要求されている。しかしながら、定常状態で電流の流れない多値集積回路は、いまだに実現されていない。

電圧モードの多値論理回路は、等価的に、多値→2 値変換の後、2 値の組み合わせ回路で合成し、2 値→多値変換を行う方式のものが多く、このような方式では、多値論理本来の特長である配線数の軽減がはかれない。また、従来の低消費電力の 3 値あるいは 4 値論理回路においては、任意の多値論理への拡張が困難で、演算回路が複雑になりがちであるなど、いくつかの問題点が残されている。

以上の観点から、LSI、VLSI の高密度化の条件を列举すると、

- (1) 配線数の軽減がはかれるような回路構成にすること、すなわち、多値本来の特長が生かせる

ような回路構成にすること。

(2) 消費電力が少なくなるような回路方式とすること。

(3) 基本回路の構成を簡単にすること。

などが考えられる。

このような条件を満たす多値論理回路としては、低消費電力性ということから、電圧モードの CMOS 論理回路が有利である。このような方式で、任意の多値論理への拡張性の容易な CMOS 論理ゲートが簡単に構成できれば、多値集積回路の高密度化にインパクトを与えることができ、また、これは低消費電力の多値 CMOS 論理回路の構成問題における重要なポイントであると思われる。

本論文においては、組み合わせ回路、記憶回路及び順序回路が系統的に、かつ、容易に設計できると共に、上記の高密度化の条件を満たす CMOS 多値パストランジスタ回路網に関する基礎的研究をまとめたものである。

第 2 章 多値論理回路の基礎的考察

従来の多値論理回路の中でのパストランジスタ回路網の位置づけを行うことと、後章の理解を容易にするため、多値論理システムの概要について記述している。まず、多値論理関数を表現するための種々の基本演算子回路の特徴、特に消費電力及び多値論理システムの実現の容易さの観点から、比較検討が行われている。その結果、パストランジスタと多値レベル判別回路であるリテラルのみで構成されるメーク・ブレイク演算子に基づく CMOS パストランジスタ回路網は、多値論理の特長である配線数の軽減に有効で、定常状態で電流が流れず、低消費電力性を有しているため、多値集積回路に適していることが示されている。また、このパストランジスタ回路網は、ノイズマージンの許す範囲で、任意の多値論理に拡張が容易であるが、説明の行い易さから、第 3 章以降では、4 値論理で理論展開を行っている。

第 3 章 4 値パストランジスタ回路網の代数的性質

4 値パストランジスタ回路網を合成するときに必要な新しい基本演算子として、4 値メーク演算子 $M_i(Y; C)$ とブレイク演算子 $B_i(Y; C)$ を次のように定義する。

$$M_i(Y; C) = \begin{cases} Y & \text{if } C \geq i \\ \phi & \text{if } C < i \end{cases}$$
$$B_i(Y; C) = \begin{cases} \phi & \text{if } C > i \\ Y & \text{if } C \leq i \end{cases}$$

但し、 $C, i \in \{0, 1, 2, 3\}$, $Y \in \{0, 1, 2, 3, \phi\}$ とし、 ϕ はパストランジスタのオフ状態、すなわち、高インピーダンス状態を表すものとする。次に、これらのメーク・ブレイク演算子のみで任意の 4 値論理関数を表現するために、これらの演算子の直列接続（すなわち、論理式における積項）

及び異なる真理値を出す積項が競合することがないようにするためのワイヤードOR接続について述べると共に、任意の4値1変数関数が6個のメーク・ブレイク演算子で表現できることから、メーク・ブレイク演算子と真理値に対応する定数とで完全系をなすことが示されている。

4値1変数関数の真理値表において、隣接するセルが同じ値あるいは変数と同じ値をとる場合には、この領域をまとめることにより、この4値1変数関数を表すためのメーク・ブレイク演算子の数を減らすことができる。この性質は、4値パストランジスタ回路網の単純化に極めて有効である。

任意の4値 n 変数関数は、真理値表の各セルをメーク・ブレイク演算子の直列接続で表し、これらすべての直列接続を、更に、ワイヤードOR接続することにより、最小項展開で表現できる。この最小項展開において、任意の変数から順に、共通の演算子をくり出すと、この4値 n 変数関数は樹枝状構造展開で表される。

任意の4値 n 変数関数は、最小項展開すると、 $6n(4^{n-1}-1)$ 個のメーク・ブレイク演算子で表され、また、樹枝状構造展開すると、最大の場合でも、 $2 \cdot (4^n - 1)$ 個のメーク・ブレイク演算子で表現できると共に、直列接続の段数は、最大 $2n$ となることが示されている。

第4章 微少電力4値CMOS論理回路の構成

低消費電力の4値パストランジスタ回路網の基本素子であるCMOS4値メーク・ブレイク演算子回路が、多レベルイオン注入技術を用いて、PMOS及びNMOSTランジスタのしきい値電圧を変えることにより、回路しきい値電圧を変えたCMOSインバータ、すなわち、4値リテラル回路と任意の多値レベル信号を通すことができるCMOSパストランジスタとで、簡単に構成できることを示す。更に、CMOS4値メーク・ブレイク演算子回路の消費電力について解析を行い、CMOS4値メーク・ブレイク演算子回路が集積回路に適した極めて低消費電力の回路であることを明らかにしている。

第5章 4値メーク・ブレイク演算子に基づく組み合わせ回路の合成

4値メーク・ブレイク演算子を用いた組み合わせ回路、すなわち、4値パストランジスタ回路網の素子数最小化を目的として、2種類の合成法が述べられている。第1の合成法は、与えられた4値論理関数を副関数及び複合副関数に分解し、それぞれの副関数及び複合副関数について、必須主項を求め、これらすべての必須主項から主項表を用いて、与えられた4値論理関数の必須主項を求め、これらすべての必須主項のワイヤードOR接続を行い、各項から共通に使える演算子がなくなるまで、共通演算子をくり出すことにより、単純化が行われる。また、4値メーク・ブレイク演算子で表現した4値1変数回路が、4値Tゲートと等価になることから、4値パストランジスタ回路網の合成法に、4値Tゲート回路網の最適合成法を適用する。すなわち、第2の合成法は、与えられた4値論理関数を4値Tゲート回路網として合成を行い、次に、4値メーク・ブレイク演算子の代数的性質を用いて素子数を減少させることにより単純化を行っている。

これら2合成法とも、極めて演算子数の少ない回路網が得られるアルゴリズムを与えている。

第6章 4値記憶回路と順序回路

4値メーク・ブレイク演算子を用いた4値Dラッチ回路の構成法を述べる。次に、4値Dラッチ回路を基本回路として、マスタースレーブ・フリップフロップ(MSFF)とアップダウンTフリップフロップ(UDTFF)を構成すると共に、これらの回路を電子回路解析プログラムSPICE2を用いてシミュレーションを行い、極めて低消費電力で、安定に動作することが示されている。更に、MSFFを用いたシフトレジスタの応用例として、4値M系列発生回路を示すと共に、4値信号発生回路への応用として、微分形及び積分形の4値無安定マルチバイブレータや単安定マルチバイブレータの構成法を示している。

第7章 結 言

本章においては、第2章から第6章までのまとめとして、本研究の成果と今後の課題について述べている。

本研究の成果として、CMOSパストランジスタとリテラルとで構成されるCMOS 4値メーク・ブレイク演算子回路は、4値組み合わせ回路の合成が系統的に行えると共に、定常状態ではほとんど電流が流れない4値記憶回路や順序回路が極めて容易に構成できると共に、従来の3値あるいは4値論理回路に比べて任意の多値論理への拡張が容易であることが明らかとなった。以上のことから、CMOSパストランジスタ回路網は、VLSIの高密度化に有効である。

審 査 結 果 の 要 旨

最近、多値論理回路は集積回路技術の著しい進展によりその実現が可能となり、集積回路の内部配線数削減によるチップ面積減少の効果が期待され、多くの研究がなされるようになってきた。しかし、回路実現上重要な低消費電力性と実現容易性を考慮した研究は、ほとんどなされていなかった。

著者は多値論理回路の低消費電力性と実現容易性を達成する上で、多値制御形パスゲートの開発が重要であることに着目し、任意のR値に拡張可能な、新しい多値CMOS論理回路を提案し構成法を確立すると共に、その有用性を明らかにした。本論文はその成果をとりまとめたもので、全文7章よりなる。

第1章は緒言である。

第2章では、種々の基本演算子回路について考察を加え、特に低消費電力性と実現容易性の観点から比較検討を行い、本論文で提案する多値メーク演算子とブレーク演算子の位置付けを明らかにしている。

第3章では、基本演算子としてのメーク演算子とブレーク演算子を定義し、論理式の簡単化を行う際に有用な代数的性質を明らかにすると共に、これらの演算子が任意の関数を表現でき、完全系をなすことを示している。

第4章では、多レベルイオン注入技術に基づく4値制御用リテラル回路と、パストランジスタよりなる新しいCMOS4値メーク演算子とブレーク演算子を提案している。計算機シミュレーションによりその特性を詳細に検討した結果、低消費電力で極めて良好に動作し、多値論理回路の基本演算子回路として優れていることを確認しているが、これは重要な成果である。

第5章では、必要とするゲート数の最小化を目的とする、4値メーク・ブレーク演算子網の合成について理論的考察を行い、これらの演算子に特有な論理的性質を検討した結果、2種類の合成法を与えている。特に、最適合成法が確立されているTゲート回路網の合成問題に帰着できることを見出しているが、これは有用な知見である。

第6章では、第4章で得られたメーク演算子とブレーク演算子に基づき、各種多値記憶回路を考案しその構成法を与え、汎用ICを利用して試作を行うと共に、計算機シミュレーションにより低消費電力性と実現容易性の点で、本構成法が有効であることを確かめている。また、多値記憶回路の特長を生かした応用例をあげている。

第7章は結言である。

以上要するに本論文は、従来ほとんど研究がなされていなかった、低消費電力性と実現容易性を具備する新しい多値論理回路の構成法を確立し、多値論理システム構成上基礎となる、多くの有用な知見を得たもので、電子工学および情報工学の発展に寄与するところが少なくない。

よって、本論文は工学博士の学位論文として合格と認める。